

EN BREF

UN OUTIL DE COUVERTURE POUR LA CONCEPTION DE FPGA

Jusqu'à spécialisée dans les outils de simulation et de conception des FPGA et des circuits spécifiques, l'Américain Aldec vient d'introduire sa première plate-forme de couverture matérielle-logicielle, pénétrant ainsi le marché de la conception des systèmes embarqués. Baptisé Cover, cette plate-forme intègre le simulateur Active-HDL, les outils de développement GNU Compiler Collection (GCC) et GNU Debugger (GDB) et les cartes FPGA, ainsi qu'un logiciel développé spécialement pour synchroniser le simulateur et la plate-forme matérielle (les cartes FPGA) à un niveau transactionnel ou événementiel. L'avantage de cette solution réside dans le gain de temps obtenu en éliminant la simulation logicielle des processeurs MicroBlaze de Xilinx ou le Nios d'Altera, ces derniers

résidant directement sur la plate-forme matérielle. Côté performances, les processeurs sont capables d'émuler à une fréquence comprise entre 100 et 200 KHz, durant les échanges de données entre le simulateur et les cartes, et jusqu'à 16 MHz s'il n'y a pas de communication. Cover est disponible à partir de 16 000 dollars.

DES PASSERELLES AMBA ET CORECONNECT CONFORMES AU PROTOCOLE OCP

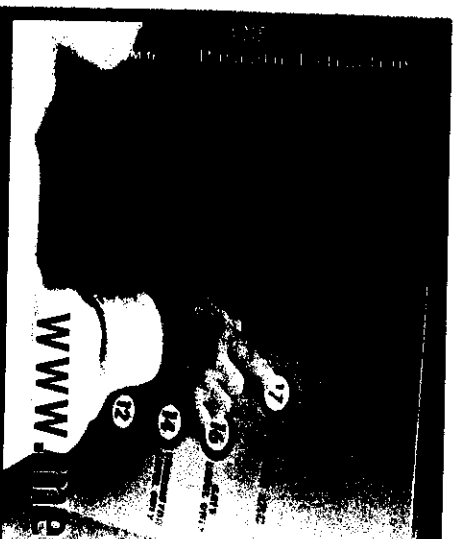
En tant que membre de l'Open Core Protocol International Partnership (OCHIP), en charge de la standardisation de l'interface entre blocs d'IP provenant de différents fournisseurs (voir notre numéro du 29 novembre 2001), le Français Proslig, fournisseur d'outils de conception au niveau système et de blocs d'IP, vient

d'introduire tout un ensemble d'adaptateurs et de passerelles conformes au standard OCP. Il s'agit d'interfaces logicielles supportant l'intégration de systèmes hétérogènes avec des processeurs et des bus multiples et conformes aux protocoles Amba et CoreConnect, ainsi que des adaptateurs TLO-TL1, entre les niveaux RTL et transfert, et TL1-TL2, entre les niveaux transfert et transactionnel. Ces adaptateurs permettront de simuler des systèmes complexes composés de sous-éléments modélisés à différents niveaux d'abstraction.

■ L'Open SystemC Initiative (OSCI), l'organisation en charge de la promotion du langage de conception au niveau système SystemC, vient de donner son accord pour soumettre la version SystemC 2.0.1 à l'approbation de l'IEEE. L'objectif est de donner un cadre légal à ce langage de plus en plus utilisé par les concepteurs.

LES DIAGRAMMES DE SYNCHRONISATION SONT ÉDITÉS AU FORMAT HTML

Le Britannique MOHC, basé dans l'incubateur de l'université de Bournemouth, vient de présenter la version commerciale de son éditeur de diagrammes de synchronisation, baptisé TimingTool. Une version Lite gratuite téléchargeable sur le Web existait déjà. Destinée aux conceptions numériques de cartes, de FPGA et de circuits spécifiques, TimingTool permet de générer des bancs de test en Verilog à partir des diagrammes de synchronisation saisis par les concepteurs. Grâce à l'utilisation de macros Java, cet outil est également capable de convertir des diagrammes dans divers formats (HTML, PDF, fichiers pour des générateurs de signaux...) et vice versa à partir de mesures issues d'analyseurs logiques.



www.mentor.com

Calibre xRC™ | Quelle que soit la taille de vos circuits, avec ce nouvel outil, partie intégrante de notre solution "Calibre design-to-silicon", vous allez atteindre un seuil de performance et de précision incomparable lors de l'extraction, au niveau transistor, des éléments parasites. Etroitement associé à Calibre LVS™, pour une parfaite connexion des parasites avec les éléments intentionnels du circuit, Calibre xRC™ s'adapte à toutes les méthodologies : sa souplesse et les multiples formats proposés lui confèrent une place de choix dans votre gamme d'outils d'analyse électrique. Pour assister à une démonstration en ligne, visitez www.mentor.com/dsm

Contact :
01 40 94 74 14

Calibre xRC™
Accédez au plus haut niveau !

Mentor
Graphics