

K-micro 社、CatsEye 開発システムの発売を発表

新しいシングル・コアとデュアル・コアは、CPU サブシステム設計者に幅広い選択肢を提供し、市場への投入期間を大幅に短縮させます。

カリフォルニア州、サンノゼ — 2009 年 3 月 9 日 — 高度な ASIC の業界リーダーである K-micro (川崎マイクロエレクトロニクス) 社は、複雑な ASIC 設計においてハードウェアとソフトウェアの開発期間を短縮できる、MIPS32® 24Kf プロセッサ用開発システムの発売を発表しました。

CatsEye 開発システムには、ルーターやゲートウェイなどのインターネット機器から、メディア・プレーヤーやサーバーなどのエンターテインメント装置まで、さまざまなアプリケーション用に、完全な CPU サブシステムを作成するのに必要なすべての機能が備わっています。K-micro のお客様は、この開発システムを使用することにより、ハードウェアとソフトウェアの設計を同時に行い、ASIC チップの設計に関する最終決定を行う前に、機能を検証することができます。この手法では、すべてのコア機能が開発済みで、これらの機能に相互運用性があることが試験および実証されているので、開発期間が大幅に短縮します。さらに重要な点は、ソフトウェアとハードウェアが同時に開発およびデバッグされることで、生産にかかる時間が短縮できることです。開発システムの OCP インターフェイスには、設計に必要な特定の機能を追加する柔軟性が備わっているので、お客様は独自の「機密ソース」を追加し、その操作を迅速に検証することができます。

「お客様は、通常規模の開発プログラムにかかる期間に比べると、わずかな期間で高度な ASIC を開発できるようになります。例えば、12~24 カ月かかる典型的な開発プログラムは、6~12 カ月で完了することができます。お客様は、高度なツールを使用することにより、短期間で IP を追加、削除し、任意の IP を自社の IP またはサードパーティの IP で交換することができます」と、K-micro 社のテクノロジー・ソリューション部門のバイスプレジデントである、Joel Silverman は述べています。

開発システムには、CatsEye チップが搭載されたボードと一緒に、メモリ・コントローラ、フラッシュ・メモリ・コントローラ、2 Gb イーサネット、設計品に他の IP を追加するための OCP インターフェイス、3 つの UART、PCI Express デバイス、および追加インターフェイスを生成するための多くの GPIO ピンが含まれています。K-micro 社のお客様は、自社の ASIC の開発段階において CatsEye 開発システムを使用できます。CatsEye 開発システムが長期間必要な場合は、ボードをレンタルすることもできます。

CatsEye チップは高度な SoC であり、二つの MIPS 24Kf コア、二つの 10/100/1000 メガビット イーサネット MAC、セキュリティ・プロセッサ、メモリ・コントローラ、および SoC の開発に必要な他の周辺機器のホストが含まれ

ています。お客様は CatsEye チップを開始の基点とすることで、任意のコンポーネントをすぐに追加、削除、または交換し、必要なチップを作成できます。

