

## 文書タイトル

デジタル サンプリング オシロスコープ用のメモリ アクセス アービトレーションでの OCP の使用

## 著者

**Traian TULBURE** ([traian@easic.ro](mailto:traian@easic.ro))

Traian TULBURE 氏は、Transilvania University of Brasov の講師および博士候補です。2000 年に Transilvania University in Brasov, Romania の電子工学/コンピュータ学部にて理学修士号を取得、卒業論文は『EDA tools for eASIC technology』でした。TULBURE 氏の研究対象は、VLSI 設計、HDL モデリング、C/C++ プログラミング、合成です。

**Dan NICULA** ([dan@easic.ro](mailto:dan@easic.ro))

Transilvania University in Brasov, Romania、電子工学/コンピュータ学部教授、Dan NICULA 博士は、1990 年に Polytechnic Institute of Bucharest, Romania にて電子工学の理学修士号を、1997 年に Transilvania University にて情報工学の博士号を取得しました。NICULA 氏の主な研究対象は、VLSI 設計および HDL RTL レベル モデリングです。HDL、マイクロプロセッサ、デジタル電子工学などの科目を指導する傍ら、VHDL/Verilog に関する書籍も執筆しています。また、ルーマニアのブラショブに所在する eASIC 関連子会社のマネージャも務めています。

## 概要

集積回路を SoC ( システムオンチップ ) として設計する現在の方法は、適正に定義された機能を備えたモジュールのモデルの再利用をベースとしています。さらに簡単に相互接続するには、これらの IP コアは、標準ソケットの規則に従うインターフェイスを持つ必要があります。

Open Core Protocol ( OCP ) は、知的財産 ( IP ) コア インターフェイスまたはソケットの共通標準であり、"プラグ アンド プレイ" システムオンチップ ( SoC ) 設計を促進します。

この文書では、単一ポート SRAM を備えたマルチポート アクセス メモリを実装するための OCP プロトコルの使用を提示しています。研究事例は、eASIC FlexASIC デバイス上に実装されたデジタル サンプリング オシロスコープ ( DSO ) です。チップの一般機能には、単一の USB 電源モジュールでの、2 チャネルのデジタル サンプリング オシロスコープ ( DSO ) および任意波形ジェネレータ ( AWG ) が組み込まれています。

---

### 著作権情報

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています

チップは、単一ポート SRAM を組み込んだ構造化 eASIC ファブリック上に実装されます。オンチップ SRAM は、DSO と AWG との間で共用されます。メモリへの CPU アクセスも必要です。メモリへのタイミング マルチプレキシング アクセスが意図されています。OCP プロトコルは、96 ビット幅のデータ バス上での SRAM アクセスの、アクセスおよびアービトレーションを提供するために選択されています。

---

**著作権情報**

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています

## はじめに：OCP はどのように使用されてきたか

FlexASIC FA600 デバイス用に設計された、eASIC の DSO チップ ( プロジェクト名 “eScope” ) は、FlexASIC デバイス上で使用可能なすべてのブロック SRAM ( bRAM ) メモリを使用して、獲得チャンネルおよび波形ジェネレータ チャンネルの両方のサンプルを格納します。bRAM メモリには単一のポートがあり、メモリは 3 つのクライアントによってアクセスされる必要があるため、タイム マルチプレキシング スキームが実装されています。

FA600 上で使用可能なすべてのメモリ ブロックは、12 bRAM ( 4 行× 3 列× 1k×32 ビット ) から構築される 4k×96 メモリとして構成されています。メモリはバス コンバータ ( ocp2mem ) に直接接続されています。バス コンバータは、bRAM モジュールへの OCP アクセスを提供します。

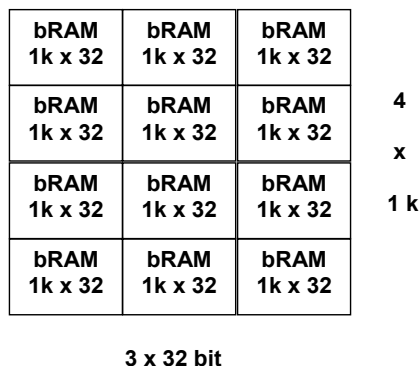


図 1： eScope メモリ モジュール マップ

メモリ モジュールは 96 ビット幅であり、それぞれ 12 ビットの、最大 8 つまでのデータ サンプルを格納できます。ダブル サンプル チャンネル モードの場合、データは両方のチャンネルからの交互的サンプルで構成されます。

ブロック メモリを幅広データ バス メモリ ( 96 ビット ) として構成し、クロック値を高周波内部クロック ( 最大 210 MHz ) とすると、12\*210 Mbps の 8 つのタイム スロットを確保できます。この 8 つのタイム スロットは、以下の 3 タイプのアクセスに割り当てられます。

- 2 つのタイム スロットは、データ サンプルをメモリに格納するためのトリガ ジェネレータ ロジックにより使用されます。
- 1 つのタイム スロットは、メモリから波形ジェネレータのサンプルを検索するための波形ジェネレータ ロジックにより使用されます。
- 6 つのタイム スロットは、データ サンプルの読み取り/書き込みを実行するために USB ホストが使用することができます。

### 著作権情報

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています

プロジェクト制約は、メモリ アクセス テクノロジを独立したものにしておくためのものです。これは、メモリ アクセスを標準バスを使用して提供し、メモリ実装およびインターフェイスと関連付けないことを意図しています。メモリ アクセス アービトレイションおよび標準コア相互接続を実現するために、OCP ソリューションが選択されました。

この方法により、ブロック メモリのタイム マルチプレキシングによる使用は、将来の eScope のバージョンにおいて、さらに多数の MSPS を持つより大きなメモリ サイズまたは A/D コンバータをサポートするように簡単に改良できます。

### アーキテクチャー：DSO アーキテクチャーおよび OCP ポジション

eScope は、9 つのモジュールに対して設計されており、Open Core Protocol (OCP) を 3 つの可能なクライアントを持つメモリの相互接続のための標準として使用します。サブモジュールは以下のとおりです。

- **clkGen** : eScope のクロック/リセット ジェネレータ
- **adclnput** : ADC からのデータ サンプルのシンクロナイザ
- **dacOutput** : DAC への波形データ用の FIFO シンクロナイザ
- **trigGen** : OCP イニシエータ ポートを含むトリガ ジェネレータ
- **waveGen** : OCP イニシエータ ポートを含む波形ジェネレータ ロジック
- **hostIf** : OCP イニシエータ ポートを含む USB モジュール ホストインターフェイス
- **sampleMem** : データ サンプルおよび波形ジェネレータ データを格納するために共用されるブロック メモリ
- **ocpMerge** : 3 : 1 連結 OCP は、3 つの OCP イニシエータ ポートと 1 つの OCP ターゲット ポートを結合する
- **ocp2mem** : OCP からメモリへのインターフェイス コンバータ。OCP ターゲット ポートを含む

サブモジュールの相互接続は、図 2 で示しています。

---

#### 著作権情報

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています



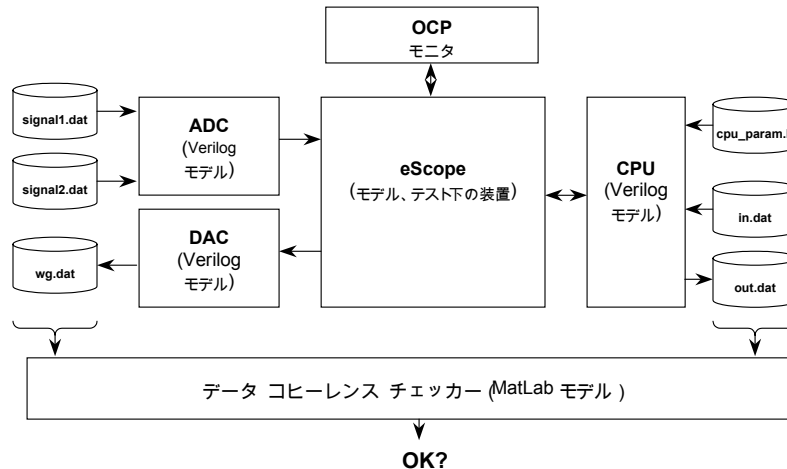


図 2 : ModelSim/Matlab/CoreCreator テスト環境

外部 ADC、DAC、および CPU モデルは、外部ファイルからのサンプルデータの読み取り/書き込みを実行します。選択されたシナリオの検証は、HDL コードと同じ機能を備えた MatLab スクリプトを使用して実行されました。この HDL コードは、同一連のパラメータおよびエラーのグラフィカル表示を使用します。エラーは、MatLab が生成する予期されるシグナルと、外部 Verilog モデルによりファイルに書き込まれるシグナルとの間の差として計算されました。エラーがゼロであれば、シナリオの実行は成功であると定義されました。

さまざまなテスト シナリオが、CPU のダミー モデル、および ADC 入力ファイルと HFIF 入力ファイルに対して選択された波形により制御される eScope パラメータにより定義されています。eScope パラメータおよびテスト波形の値は、一連の事前定義値からランダムに選択されます。この選択は、カスタム バージョンの \$random タスクを使用して、Verilog テスト環境で実行されます。

### 実装 : eASIC テクノロジ固有

eTool の設計フローは図 3 で示しています。この設計フローは、標準セル設計の通常 ASIC 設計をベースとしています。この方法は、既存の ASIC 設計の方法論およびインフラストラクチャーを可能な限り活用することを意図しています。

#### 著作権情報

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています

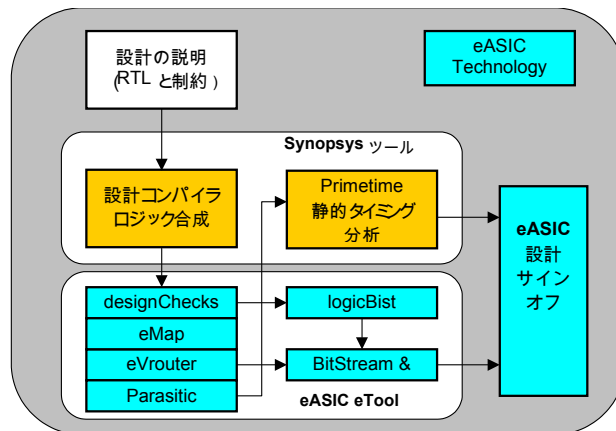


図 3 : eTool の設計フロー

ロジック合成は、eASIC 提供のライブラリ形式合成ライブラリを使用する、Synopsys 設計コンパイラ合成ツールを使用して実行されました。このライブラリには、eCell 内の LUT 構成と組み合わせて実装できる 2、3、4、および 5 の入力関数のすべてと、eCell ロジック内で最適化して実装されている反転バッファ モデルおよび数多くの DesignWare コンポーネントが含まれています。

設計コンパイラにより生成されたネットリストは、eASIC 開発の "テクノロジー マッピングおよびパッキング" ツール (eMap と呼ばれる) から渡されます。これは低速の LUT ベース関数を可能な場合は高速の nand 関数および mux 関数に置き換え、次いで可能な場合は複数の関数をパックして単一の eCells にします。eMap により作成されたネットリストは、Synopsys Primetime 静的タイミング分析で使用するための場所とルートのための、標準ワイヤロード モデリングを特色としていました。

表 4 および表 5 は、Synopsys フローを使用した構造化 ASIC 上の eScope の実装を示しています。

クロック	合成 ( ns )	マッピング ( ns )	場所およびルート ( ns )
scClk	3.95	4.72	7.53
wgClk	3	4.43	5.42
hfClk	26.37	28.97	35.62

表 4 : eScope タイミングの結果

合成 (セル)	マッピング (セル)	場所およびルート (セル)
5945	3923	3923

表 5 : eScope 領域の結果

## 著作権情報

このドキュメントと、ドキュメントに含まれるデータの所有権は、eASIC Corp が保有しています

バックエンド設計フローでは、eASIC 開発の eMap および eVrouter ツールを使用して、最終の場所およびルートを実装します。Primetime を使用したバックエンド (サインオフ) 静的タイミング分析のための最終ネットリストに注釈を付けるために、パラステック抽出が実行されました。並行して、最終ビットストリームおよび Via Mask データベースに埋め込まれる logicBIST ベクトルが作成されます。マスク生成ステップによるビットストリームのアセンブリおよび構成は、eDK ツールを使用して実行されます。

### 結論 : OCP を使用することの利点

単一ポート SRAM とタイム マルチプレキシングを使用した 3 つのポート メモリのモデル化における OCP 標準バスの使用は、短期間での eScope プロジェクト開発を可能にする要素になりました。

eScope の設計は、前の設計からの OCP スイッチおよび ocp2mem コンバータの再利用によってさらに簡単になり、テスト フェーズは OCP モニタおよびチェッカーによって充実したものになりました。

### 参照先

[www.easic.com](http://www.easic.com)