

K-micro, 캐츠아이(CatsEye) 개발시스템의 가용성 발표

새로운 싱글 및 듀얼 코어가 CPU 서브시스템 디자이너에게 폭넓은 옵션을 제공, 제품화에 걸리는 시간 크게 단축

캘리포니아 산 호세 - 2009년 3월 9일- ASIC의 선두 주자인 K-micro (Kawasaki Microelectronics)는 첨단 ASIC 설계 관련 하드웨어와 소프트웨어의 개발 속도를 업그레이드시킬 MIPS32@ 24Kf 프로세서 개발시스템의 가용성을 발표했다.

캐츠아이 개발시스템은 라우터, 게이트웨이 등의 인터넷 장비에서부터 미디어플레이어, 미디어서버 같은 엔터테인먼트 디바이스에 이르는 각종 애플리케이션의 완벽한 CPU 서브시스템 구성에 필요한 모든 기능을 가지고 있다. 이 시스템을 통해 K-micro의 고객은 최종 ASIC 칩에 기록하기 전에, 하드웨어와 소프트웨어 설계를 동시에 수행하며 기능성을 검증할 수 있다. 이러한 접근은 결과적으로 개발시간을 훨씬 단축시키는데, 그것은 모든 핵심 기능이 이미 개발, 시험되고, 상호 작동 검증이 되었기 때문이다. 또 중요한 점은 소프트웨어와 하드웨어를 동시에 개발 및 디버그함으로써 단축되는 시간이다. 이 시스템의 OCP 인터페이스는 디자인에 특수한 기능성을 더하도록 유연함을 제공하여, 고객이 칩에 자기만의 '비밀 소스'를 가미하고 신속히 작동 여부를 검증할 수 있다.

"제품 이용 고객은 보통 이 정도 크기의 개발프로그램과 관련해 짧은 시간에 첨단 ASIC를 개발할 수 있고, 기존 12개월 내지 24개월에 걸친 일반 개발프로그램은 어디서나 6개월 내지 12개월을 절약할 수 있다"고 K-micro의 기술 솔루션 담당 부사장인 조엘 실버맨은 밝혔다. "첨단 툴들을 사용하여 고객이 어떤 IP든 신속히 추가, 제거하고, 자신의 IP나 제 3자의 IP로 대체할 수도 있다."

이 시스템에는 캐츠아이 칩이 장착된 보드에 메모리컨트롤러, 플래시메모리컨트롤러, 2기가바이트 이더넷, 디자인에 다른 IP를 추가하는 데 이용되는 OCP 인터페이스, 3 UARTS, PCI 익스프레스 디바이스 등 각종 인터페이스뿐 아니라, 추가적인 인터페이스 생성에 이용될 수 있는 다양한 GPIO 핀들이 포함되어 있다. K-micro의 고객은 ASIC 설계 단계에서 캐츠아이 개발시스템을 이용할 수 있고, 또는 장기간 필요하면 보드를 대여할 수 있다.

캐츠아이 칩은 완벽한 CPU 서브시스템을 가진 첨단 SoC로, MIPS 24Kf 코어 두 개와 10/100/1000 메가비트 이더넷 MAC 두 개, 시큐리티 프로세서, 메모리컨트롤러, 및 SoC 개발에 요구되는 기타 주변장치의 호스트를 포함한다. 캐츠아이 칩을 기본으로 고객은 필요한 칩을 만들기 위해 어떤 컴포넌트든 추가, 제거, 대체할 수 있다.

