

# 基于 Multi-FPGA 的兼容 OCP-IP 标准的片上 64 节点蝴蝶网络的设计与实现

Khawla Hamwi, Omar Hammami (ENSTA ParisTech)

## 摘要:

由于不断增加的数据大小和各种科学计算的算术运算量,对高性能计算系统的需求也越来越多。目前为止,几个 Multi-FPGA 系统已被认为是可行的方法,它有效地解决了那些因采取非常迭代算法或使用大型数据而不能被加载到一个 FPGA 中的大规模应用。在本文中,我们报告基于多处理器片上系统 MPSOC 的 64 节点蝴蝶网络的 Multi-FPGA 芯片设计和实现。我们的网络是在包括 Eve Zebu-UF4 平台在内的 4 FPGA 上自动布局布线的。

## 1. 介绍

国际半导体技术蓝图(ITRS)项目指出百位处理器将用于下一代多处理器片上系统设计中。此外,FPGA 通常作为某些特定应用结构的硬件加速平台。但对于众多复杂应用,单个 FPGA 不能提供足够的资源,从而使得这些应用在硬件上不可能被完全实现。这导致了可扩展的 Multi-FPGA 平台的发展,它可以提供足够的资源完成不同类型的系统。

本文的其余部分组织如下:在下一节中我们主要介绍蝴蝶网络的定义以及展示我们的 64 节点的蝴蝶网络。第三节介绍设计方法。第四节介绍实施的结果。第五节将总结我们的观点。

如需查看全文,请访问以下网站:

<http://www.design-reuse.com/articles/27711/ocp-ip-compliant-64-node-butterfly-network-on-chip-on-multi-fpga.html>

## 通过片上硬件监测网络得到的网络芯片的性能评价

OCP-IP 48 核 标准

作者: Xinyu Li , Omar Hammami

在监测网络中采集器收集流量信息(如在采样时间内的数据包的延迟和吞吐量的统计等),并通过监测网络将这些信息发送到片外存储器作进一步的分析。本项研究案例用到一个在 Multi-FPGA 平台上分区、实现的 48 核多处理器片上系统。为了收集网络芯片各部位的流量信息,每个 FPGA 都建有硬件监测网络。OCP-IP 的网络芯片标准用于测量和调整网络芯片的性能。本文讨论了一个拥有可重构的流量采集器的硬件监测网络,它克服了 IO 数量的限制。

如需查看全文,请点击: <http://chipdesignmag.com/display.php?articleId=5036>