

# 다중 FPGA 에서 OCP-IP 를 준수하는 64 노드 버터플라이 네트워크-온-칩의 설계 및 구현

Khawla Hamwi, Omar Hammami(ENSTA ParisTech)

## 요약:

다양한 과학적 연산에서 데이터 크기와 산술 연산량의 지속적인 증가에 대처하기 위해 고성능 컴퓨터 시스템에 대한 수요가 증가하고 있습니다. 이외에도, 여러 개의 다중 FPGA 시스템은 고도로 반복적인 알고리즘을 사용하거나 하나의 FPGA 에 적재할 수 없는 대규모 데이터를 사용하는 대규모 응용 분야에서 효율적인 해결책을 제시하는 합리적인 방법으로 제안되어 왔습니다. 본 논문에서 저희는 MPSOC 에 기반한 64 노드 버터플라이 네트워크의 설계 및 다중 FPGA 칩 구현에 대해 보고합니다. 저희 네트워크는 Eve Zebu-UF4 플랫폼에 포함된 4 FPGA 에 탑재되어 자동으로 라우팅됩니다.

## I. 서론

국제 반도체 기술로드맵(International Technology Roadmap of Semiconductors: ITRS)은 미래 세대의 MPSOC 설계에는 수백 대의 프로세서가 필요할 것으로 예상하고 있습니다 [1]. 또한, FPGA 는 응용 주문형 아키텍처를 통한 하드웨어 가속화용 플랫폼으로 널리 사용되고 있습니다. 그러나 규모가 크고 복잡한 응용 분야의 경우, 단일 FPGA 가 하드웨어에서의 구현을 완료하기에 충분한 자원을 제공하지는 못합니다. 이는 이러한 유형의 시스템 구현에 필요한 충분한 자원을 제공하는 확장 가능한 다중 FPGA 플랫폼의 개발을 이끌었습니다.

이 논문의 나머지 부분은 다음과 같이 구성됩니다: 다음 섹션에서는 버터플라이 네트워크를 정의하고 저희의 64 노드 버터플라이 네트워크를 소개합니다. 섹션 III 에서는 설계 방법론을 설명합니다. 구현 결과는 섹션 IV 에서 제시하고 있으며 섹션 V 에서는 본 논문에 대한 결론을 내립니다.

논문의 전체 내용을 검토하시려면 <http://www.design-reuse.com/articles/27711/ocp-ip-compliant-64-node-butterfly-network-on-chip-on-multi-fpga.html> 을 방문하십시오.

## 온-칩 하드웨어 모니터링 네트워크에 의한 네트워크-온-칩 성능 평가

### 48 코어에 대한 OCP-IP 벤치마크

저자: Xinyu Li, Omar Hammami

모니터링 네트워크에서 콜렉터는 샘플링 시간 중 패킷 지연 및 처리량과 같은 통계적 트래픽 정보를 수집한 후, 추가적인 분석을 위해 이를 오프-칩 메모리로 모니터링 네트워크를 통해 반송합니다. 다중 FPGA 플랫폼 상에 분할되어 구현된 48 코어 멀티 프로세서 시스템-온-칩(MPSoC)을 본 연구 사례에서 사용했습니다. NoC(네트워크-온-칩)의 서브파트에 대한 트래픽 정보 수집을 위해 하드웨어 모니터링 네트워크를 각각의 FPGA 에 구성했습니다. NoC 성능을 측정하고 미세 조정하기 위해 OCP-IP NoC 벤치마크를 사용했습니다. 이 논문은 IO 개수의 한계를 극복하는 재설정 가능한 트래픽 콜렉터의 하드웨어 모니터링 네트워크를 다루고 있습니다.

논문의 전체 내용은 <http://chipdesignmag.com/display.php?articleId=5036> 에서 확인하실 수 있습니다.