

マルチ FPGA 上で動作する OCP-IP 規格準拠の 64 ノード・バタフライ・ネットワークオンチップの設計と実装

Khawla Hamwi, Omar Hammami (ENSTA ParisTech)

要旨：

さまざまな科学技術計算において、増大し続けるデータサイズと算術演算の量に対応するために、コンピュータシステムの高度なパフォーマンスに対する要求はますます高まっています。さらに、大規模なアプリケーションを効率的に処理するための合理的な手法として、極度の反復性を持つアルゴリズムに対応したり、単一の FPGA 上では読み込み不可能な膨大なデータを使用するマルチ FPGA システムがいくつか提案されています。本稿では、マルチプロセッサ・システム・オン・チップ（MPSOC）に基づく 64 ノードのバタフライ・ネットワークの設計とマルチ FPGA チップの実装についてレポートします。当社のネットワークは、Eve Zebu-UF4 プラットフォーム内の 4 個の FPGA 上に自動的に配置され、経路指定されます。

I. はじめに

国際半導体技術ロードマップ（ITRS）では、次世代の MPSOC 設計には 100 個のプロセッサが必要になるだろうと予測しています[1]。さらに、FPGA は、特定用途向けアーキテクチャによるハードウェアの高速化のためのプラットフォームとして一般的に利用されています。しかしながら、大規模かつ複雑なアプリケーションを実行する場合に、単一の FPGA ではハードウェアにおける完全な実装に十分な量のリソースを供給することはできません。このような状況を受けて、こうしたタイプのシステムの実装に十分な量のリソースを供給する、スケーラブルなマルチ FPGA プラットフォームが開発されました。

本稿の続きでは、以下の内容を取り上げています。次のセクションではバタフライ・ネットワークについて解説し、当社の 64 ノード・バタフライ・ネットワークを紹介しています。セクション III では設計の方法論について説明しています。セクション IV では実装の結果を記載しています。セクション V では結論を説明しています。

本技術に関する記事の全文は、<http://www.design-reuse.com/articles/27711/ocp-ip-compliant-64-node-butterfly-network-on-chip-on-multi-fpga.html> をご覧ください。

オンチップ・ハードウェア・モニタリング・ネットワーク（on-Chip Hardware Monitoring Network）によるネットワークオンチップのパフォーマンス評価

48 コアでの OCP-IP ベンチマーク

著者 Xinyu Li および Omar Hammami

モニタリング・ネットワーク内のコレクタが、サンプリング時間内にパケットのレイテンシやスループットなどのトラフィックの統計的情報を収集します。収集された情報はモニタリング・ネットワークを通じて外部メモリに送り返され、さらなる分析が行われます。本ケーススタディでは、分割されてマルチ FPGA プラットフォームに実装された 48 コアのマルチプロセッサ・システム・オン・チップ（MPSoC）を使用しています。ハードウェア・モニタリング・ネットワークが各 FPGA 上に構築され、ネットワークオンチップ（NoC）のサブパート上のトラフィック情報を収集します。NoC のパフォーマンスを測定して微調整するために、OCP-IP の NoC ベンチマークが使われています。本稿では、入出力数の制約を受けない、再構成可能なトラフィック・コレクタのハードウェア・モニタリング・ネットワークについて論じています。

本技術に関する記事の全文は、<http://chipdesignmag.com/display.php?articleId=5036> をご覧ください。